

## <<EDA技术与Verilog设计>>

### 图书基本信息

书名：<<EDA技术与Verilog设计>>

13位ISBN编号：9787030224866

10位ISBN编号：7030224868

出版时间：2008-8

出版单位：科学出版社

作者：王金明，冷自强 编著

页数：427

字数：624000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

## &lt;&lt;EDA技术与Verilog设计&gt;&gt;

## 前言

目前EDA技术已经成为电子信息类学生一门重要的专业基础课程，并且在教学、科研，以及大学生电子设计竞赛等赛事中，起着越来越重要的作用，成为电子类本科生及研究生必须掌握的专业基础知识与基本技能。

随着教学改革的深入，对EDA课程教学的要求也不断提高，必须对教学内容进行更新和优化，以适应EDA技术的发展，同时目前有越来越多的国内高校开始选择Verilog语言进行EDA教学，正是基于以上考虑，我们编写了本教材。

本书是作者在以前版本的基础上进行了全面改写修订而成。

首先开发工具选择以Quartus、Synplify Pro / Synplify软件为主，去掉了MAX+Plus软件的内容；增加了宏功能模块设计的有关内容；设计语言在Verilog-1995的基础上，对Verilog-2001、Verilog-2002两个标准也做了系统介绍；对FPGA / CPLD器件做了更新；同时增加了更多典型的数字设计实例。

本书的所有实例均在附录中的实验平台上进行了验证，并尽量给出程序综合与仿真的结果，以便对照，并有助于建立语言描述和硬件电路的映射关系。

读者也可以将这些设计移植到其他软件平台。

全书共13章。

第1章对EDA技术做了综述；第2章介绍PLD器件的发展、分类、结构与特点，介绍了在系统编程（ISP）和边界扫描测试（BST）技术；第3章介绍典型FPGA / CPLD器件的结构和编程配置；第4章介绍Quartus集成开发工具和Synplify Pro / Synplify综合器的使用方法；在第5~7章中，介绍了Verilog的语法、行为语句、任务函数、设计风格等内容；第8章介绍了基于宏模块的设计技术；第9章列举了常用数字电路的设计方法；第10章讨论了设计优化的问题；第11章是有关电路仿真的内容；第12章就Verilog—2001标准对Verilog语言的扩展和增强做了全面阐述；第13章是算法和较复杂数字逻辑系统的设计举例。

冷自强编写了第8章、第12章和第4章部分内容，王金明编写了其余章节，并对全书进行了统稿。

研究生潘新星、申振、朱坚、闵刚、谢贵武对部分程序进行了调试，张雄伟教授对本书进行了审阅并提出了具体意见，杭州电子科技大学潘松教授也给予了支持和帮助。

## <<EDA技术与Verilog设计>>

### 内容概要

本书系统介绍EDA与FPGA设计技术，主要内容包括EDA设计流程与典型设计工具、FPGA / CPLD器件、Verilog硬件描述语言等。

本书以Quartus、Synplify Pro / Synplify软件为平台，以Verilog-1995和Verilog-2001为语言标准，以可综合的设计为重点，以大量经过验证的数字设计实例为依据，系统地阐述了EDA设计方法与设计技术，深入讨论了设计优化的问题。

本书的特点是：着眼于实用，紧密联系教学实际，实例丰富。

全书深入浅出，概念清晰，语言流畅。

本书可作为电子、通信、信息、测控、电路与系统等专业高年级本科生和研究生的教学用书，也可供从事电路设计和系统开发的工程技术人员阅读参考。

## &lt;&lt;EDA技术与Verilog设计&gt;&gt;

## 书籍目录

第1章 EDA技术概述 1.1 EDA技术及其发展 1.2 Top-down设计与IP核设计 1.2.1 Top-down设计 1.2.2、Bottom-up设计 1.2.3 IP复用技术与SOC 1.3 EDA设计的流程 1.3.1输入 1.3.2综合 1.3.3适配 1.3.4仿真 1.3.5编程 1.4 常用的EDA软件工具 1.5 EDA技术的发展趋势 习题第2章 PLD器件 2.1 概述 2.2 PLD的分类 2.2.1 按集成度分类 2.2.2 按编程特点分类 2.2.3 按结构特点分类 2.3 PLD的基本原理与结构 2.4 低密度PLD的原理与结构 2.5 CPLD的原理与结构 2.5.1 宏单元结构 2.5.2 典型CPLD的结构 2.6 FPGA的原理与结构 2.6.1 查找表结构 2.6.2 典型FPGA的结构 2.7 PLD器件的编程元件 2.7.1 熔丝型开关 2.7.2 反熔丝型开关 2.7.3 浮栅编程元件 2.7.4 基于SRAM的编程元件 2.8 边界扫描测试技术 2.9 在系统编程 2.10 FPGA / CPLD器件概述 2.10.1 Lattice的FPGA / CPLD 2.10.2 Xilinx的FPGA / CPLD 2.10.3 Altera的FPGA / CPLD 2.11 PLD的发展趋势 习题第3章 典型FPGA / CPLD的结构与配置 3.1 Stratix高端FPGA系列 3.1.1 Stratix器件 3.1.2 StratixII器件 3.2 Cyclone低成本FPGA系列 3.2.1 Cyclone器件 3.2.2 Cyclone 器件 3.3 ACEX 1K器件 3.4典型CPLD器件 3.4.1 MAX 器件 3.4.2 MAX 7000器件 3.5 FPGA / CPLD的配置 3.5.1 CPLD器件的配置 3.5.2 FPGA器件的配置 习题第4章 Quartus集成开发工具 4.1 Quartus 原理图设计 4.1.1 半加器原理图输入 4.1.2 半加器编译与仿真 4.1.3 全加器设计与仿真 4.2 Quartus 文本设计 4.2.1 创建工程文件 4.2.2 编译与仿真 4.3 Quartus 的优化设置 4.3.1 Setting设置 4.3.2 分析与综合设置 4.3.3 优化布局布线 4.3.4 设计可靠性检查 4.4 Quartus 的时序分析 .....第5章 Verilog初步设计第6章 Verilog设计进阶第7章 Verilog设计的层次与风格第8章 宏功能模块设计第9章 Verilog数字电路设计第10章 设计的优化第11章 仿真第12章 Verilog语言的发展第13章 数字设计实例附录A 有关术语与缩略语附录B Verilog HDL ( IEEE Std 1364 - 1995 ) 关键字附录C Verilog HDL ( IEEE Std 1364 - 2001 ) 关键字附录D Quartus 支持的Verilog结构附录E Synplify Pro / Synplify可综合的Verilog结构附录F EDA实验系统简介参考文献

## 章节摘录

插图：1.2 Top-down设计与IP核设计数字系统的设计方法发生了深刻的变化。

传统的数字系统通常采用搭积木式的方式设计，即由一些固定功能的器件加上一定的外围电路构成模块，由这些模块进一步形成各种功能电路，进而构成系统。

构成系统的“积木块”是各种标准芯片，如74 / 54系列（TTL）、4000 / 4500系列（CMOS）芯片等，这些芯片的功能是固定的，用户只能根据需要从这些标准器件中选择，并按照推荐的电路搭成系统。在设计时，几乎没有灵活性可言，设计一个系统所需的芯片种类多且数量大。

PLD器件和EDA技术的出现，改变了这种传统的设计思路，使人们可以立足于PLD芯片来实现各种不同的功能，新的设计方法能够由设计者自己定义器件的内部逻辑和管脚，将原来由电路板设计完成的工作大部分放在芯片的设计中进行。

这样不仅可以通过芯片设计实现各种数字逻辑功能，而且由于管脚定义的灵活性，减轻了原理图和印制板设计的工作量和难度，增加了设计的自由度，提高了效率。

同时这种设计减少了所需芯片的种类和数量，缩小了体积，降低了功耗，提高了系统的可靠性。

在基于EDA技术的设计中，通常有两种设计思路，一种是Top-down（自顶向下）的设计思路，另一种是Bottom-up（自底向上）的设计思路。

1.2.1 Top-down设计 Top-down设计方法首先从系统设计人手，在顶层进行功能方框图的划分和结构设计。

在功能级进行仿真、纠错，并用硬件描述语言对高层次的系统行为进行描述，然后用综合工具将设计转化为具体门电路网表，其对应的物理实现可以是PLD器件或专用集成电路（ASIC）。

由于设计的主要仿真和调试过程是在高层次上完成的，这一方面有利于早期发现结构设计上的错误，避免设计工作的浪费，另一方面也减少了逻辑功能仿真的工作量，提高了设计的一次成功率。

在Top-down的设计中，将设计分成几个不同的层次：系统级、功能级、门级、开关级等，按照自上而下的顺序，在不同的层次上对系统进行设计与仿真。

## <<EDA技术与Verilog设计>>

### 编辑推荐

《高等院校信息与电子技术规划教材·EDA技术与Verilog设计》可作为电子、通信、信息、测控、电路与系统等专业高年级本科生和研究生的教学用书，也可供从事电路设计和系统开发的工程技术人员阅读参考。

## <<EDA技术与Verilog设计>>

### 版权说明

本站所提供下载的PDF图书仅提供预览和简介, 请支持正版图书。

更多资源请访问:<http://www.tushu007.com>