

<<VHDL数字电路设计教程>>

图书基本信息

书名：<<VHDL数字电路设计教程>>

13位ISBN编号：9787115272140

10位ISBN编号：711527214X

出版时间：2012-11

出版时间：人民邮电出版社

作者：苗丽华

页数：174

字数：283000

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<VHDL数字电路设计教程>>

内容概要

本书主要讲述硬件描述语言VHDL及其在数字电路设计中的建模和仿真，内容包括VHDL语言学习基础、语法规则和模型结构、数字电路的VHDL建模、VHDL硬件描述等。本书在内容结构的组织上有独特之处，如将并行描述语句、顺序描述语句、数据类型与运算操作符和属性等独立成章，使读者更容易清晰准确地掌握这些重要内容。

本书注重设计实践，给出了大量完整设计实例的电路图、相关基本概念、电路工作原理以及仿真结果，从而将VHDL语法学习和如何采用它进行电路设计有机地结合在一起，并通过深入浅出的操作点拨，提升学生对VHDL的理性认识，提高学生的研究能力。

本书可作为高等院校电子工程、通信工程、自动化、电气工程等专业的教材及实验指导，也可作为相关专业技术人员的自学参考书。

<<VHDL数字电路设计教程>>

书籍目录

第1章 绪论

- 1.1 VHDL的发展
- 1.2 VHDL的特点
- 1.3 VHDL设计流程
 - 1.3.1 接受设计任务
 - 1.3.2 确定功能要求
 - 1.3.3 进行设计
 - 1.3.4 源代码模拟
 - 1.3.5 综合、优化和布局布线
 - 1.3.6 布局布线后的设计模拟
 - 1.3.7 器件编程
- 1.4 VHDL综合工具
 - 1.4.1 Quartus 综合工具
 - 1.4.2 ISE综合工具
 - 1.4.3 ModelSim仿真工具
- 1.5 CPLD和FPGA概述
 - 1.5.1 GAL元件
 - 1.5.2 CPLD
 - 1.5.3 FPGA

第2章 VHDL语法基础

- 2.1 VHDL描述结构
 - 2.1.1 库描述
 - 2.1.2 实体
 - 2.1.3 结构体
- 2.2 结构体的描述
- 2.3 进程
 - 2.3.1 进程语句的格式
 - 2.3.2 进程的敏感表
- 2.4 VHDL数据对象
 - 2.4.1 信号
 - 2.4.2 变量
 - 2.4.3 常量
 - 2.4.4 TO和DOWNTO关键字

第3章 数据类型

- 3.1 基本数据类型
 - 3.1.1 整型数据(INTEGER)
 - 3.1.2 实型数据(REAL & FLOATING)
 - 3.1.3 位和位矢量(BIT & BIT_VECTOR)
 - 3.1.4 布尔类型数据(BOOLEAN)
 - 3.1.5 字符与字符串(CHARACTER & STRING)
 - 3.1.6 物理类型(PHYSICAL)
 - 3.1.7 自然数和正整数(NATURAL & POSITIVE)
- 3.2 自定义数据类型
 - 3.2.1 枚举类型
 - 3.2.2 整数类型

<<VHDL数字电路设计教程>>

- 3.2.3 实数类型和浮点类型
- 3.2.4 数组类型
- 3.2.5 存取类型
- 3.2.6 文件类型
- 3.2.7 记录类型(RECORD)
- 3.2.8 时间类型(TIME)
- 3.3 数据类型转换
 - 3.3.1 使用转换函数
 - 3.3.2 使用类型标记法转换数据类型
- 第4章 VHDL操作符及属性
 - 4.1 VHDL操作符
 - 4.1.1 赋值操作符
 - 4.1.2 逻辑操作符
 - 4.1.3 算术操作符
 - 4.1.4 关系操作符
 - 4.1.5 移位操作符
 - 4.1.6 连接操作符
 - 4.1.7 操作符重载
 - 4.2 VHDL的属性
 - 4.2.1 预定义属性
 - 4.2.2 值类型属性
 - 4.2.3 函数类型属性
 - 4.2.4 信号类型属性
 - 4.2.5 TYPE类型属性
 - 4.2.6 RANGE类型属性
 - 4.2.7 用户自定义属性
 - 4.3 GENERIC参数传递
 - 4.4 VHDL设计实例
 - 4.4.1 十六进制7段译码器
 - 4.4.2 16位乘16位的乘法器
 - 4.4.3 波形发生器
- 第5章 VHDL中的顺序语句
 - 5.1 信号赋值语句和变量赋值语句
 - 5.2 WAIT语句
 - 5.2.1 WAIT ON
 - 5.2.2 WAIT UNTIL
 - 5.2.3 WAIT FOR
 - 5.2.4 多条件等待语句
 - 5.2.5 超时等待的处理
 - 5.3 IF语句
 - 5.4 CASE语句
 - 5.5 LOOP语句
 - 5.5.1 FOR LOOP循环
 - 5.5.2 WHILE LOOP循环
 - 5.6 NEXT语句
 - 5.7 EXIT语句
 - 5.8 RETURN语句

<<VHDL数字电路设计教程>>

- 5.9 NULL语句
- 5.10 过程调用语句
- 5.11 断言语句
- 5.12 REPORT语句
- 第6章 VHDL中的并行语句
 - 6.1 进程语句
 - 6.2 块语句
 - 6.3 并行信号代入语句
 - 6.3.1 并发信号代入语句
 - 6.3.2 条件信号代入语句
 - 6.3.3 选择信号代入语句
 - 6.4 并行断言语句
 - 6.5 并行过程调用语句
 - 6.6 参数传递语句
 - 6.7 元件例化语句
 - 6.8 生成语句
 - 6.8.1 FOR-GENERATE模式的生成语句
 - 6.8.2 IF-GENERATE模式
- 第7章 VHDL子程序和元件例化
 - 7.1 程序包
 - 7.1.1 程序包的说明
 - 7.1.2 程序包体的描述
 - 7.1.3 程序包的使用
 - 7.2 层次化建模和元件例化
 - 7.2.1 层次化建模
 - 7.2.2 元件声明
 - 7.2.3 端口映射
 - 7.2.4 GENERIC映射
 - 7.3 函数和过程
 - 7.3.1 函数
 - 7.3.2 全局函数和局部函数
 - 7.3.3 过程
 - 7.3.4 全局过程和局部过程
 - 7.3.5 子程序的重载
 - 7.3.6 函数和过程的比较
 - 7.4 元件配置和子程序应用实例
 - 7.4.1 元件例化实例
 - 7.4.2 函数应用实例
- 第8章 组合逻辑电路设计
 - 8.1 门电路
 - 8.1.1 二输入与门电路
 - 8.1.2 二输入或门电路
 - 8.1.3 二输入与非门电路
 - 8.1.4 二输入或非门电路
 - 8.1.5 反相门电路
 - 8.1.6 二输入异或门电路
 - 8.1.7 三输入与非门电路

<<VHDL数字电路设计教程>>

8.2 编码器和译码器

8.2.1 编码器

8.2.2 译码器

8.3 多路选择器

8.4 运算器

8.4.1 比较器

8.4.2 加法器

8.4.3 求补器

8.5 三态门

第9章 时序逻辑电路的设计

9.1 触发器

9.1.1 D触发器

9.1.2 JK触发器

9.1.3 T触发器

9.1.4 锁存器

9.2 寄存器和移位寄存器

9.2.1 寄存器

9.2.2 移位寄存器

9.3 计数器

9.3.1 同步计数器

9.3.2 异步计数器

9.4 分频器

第10章 有限状态机

10.1 有限状态机概述

10.2 有限状态机的建模

10.2.1 状态的处理

10.2.2 模型的构建

10.3 状态编码

10.3.1 顺序码

10.3.2 枚举类型的编码

10.3.3 一位有效编码

10.3.4 综合工具的设置

10.3.5 定义编码方式的语法格式

10.3.6 初始化有限状态机

10.4 有限状态机的设计实例

10.4.1 Moore有限状态机

10.4.2 Mealy有限状态机

10.4.3 交通信号灯

10.4.4 硬币兑换机

第11章 扩频通信技术

11.1 分频器

11.1.1 偶数分频器的设计

11.1.2 奇数分频器的设计

11.1.3 半整数分频器的设计

11.1.4 大数目分频器的设计

11.2 循环冗余校验(CRC)

11.2.1 CRC的基本原理

<<VHDL数字电路设计教程>>

11.2.2 CRC的实现方法

11.2.3 CRC程序的实现

11.3 快速加法器

11.3.1 并行加法器

11.3.2 流水线加法器

第12章 SAP-1 CPU电路设计

12.1 SAP-1 CPU及计算机的组成结构简介

12.2 SAP-1 CPU指令、寻址法、程序设计

12.3 16×8的ROM设计与仿真

12.4 SAP-1 CPU设计与仿真

12.4.1 SAP-1指令周期

12.4.2 SAP-1 CPU设计

12.4.3 CPU设计的完整代码

参考文献

<<VHDL数字电路设计教程>>

编辑推荐

苗丽华主编的《vhdl数字电路设计教程》主要讲述硬件描述语言vhdl及其在数字电路设计中的建模和仿真，内容包括vhdl语言学习基础、语法规则和模型结构、数字电路的vhdl建模、vhdl硬件描述等。

<<VHDL数字电路设计教程>>

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>