

<<最新DSP技术>>

图书基本信息

书名：<<最新DSP技术>>

13位ISBN编号：9787118064018

10位ISBN编号：7118064017

出版时间：2009-8

出版时间：国防工业出版社

作者：张起贵 等著

页数：382

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

## &lt;&lt;最新DSP技术&gt;&gt;

## 前言

计算机软件经历了结构化、面向对象和基于组件程序设计的重大变化，目前这三种开发方法同时影响着嵌入式系统的发展。

结构化程序设计让纯粹私人的脑力活动行为进入工业流水生产；面向对象和基于组件的程序设计方法致力于解决软件产品的重复使用问题，前者在源代码层级将对象高度抽象，并通过例化使其用于不同的设计需求；后者针对二进制目标代码的可复用性在系统结构上定义了框架、包、组件、中间件和工具。

开发商可以独立完成其中部分产品，然后用工具将多个不同厂商提供的组件、中间件和库封装成包，在框架下实现系统功能。

最常见的框架是基于网络或多处理器环境，算法组件在运行时承担数据加工任务，并发挥着强大的作用。

达芬奇平台是典型的基于共享存储的嵌入式多处理（ARM、DSP、VICP、视频前端和后端等）环境，支撑的关键技术是片内实现了多通道的交换中心资源（Switch Central Resources，SCR）。

基于片内SCR，达芬奇平台在片内多处理器之间形成了典型的C/S架构：计算能力强大的DSP（高达4800MIPs）可以作为服务器提供算法的实时计算服务；带有JAVA处理能力的ARM9实现网络、硬盘音视频I/O等用户界面。

## &lt;&lt;最新DSP技术&gt;&gt;

## 内容概要

今天的个人计算机，就是明天的嵌入式SoC！

采用这个理念，把面向服务的架构SOA引入到异构嵌入式多核处理器，就是TI的达芬奇技术的关键特点，它拓展了未来嵌入式SoC的一个发展方向。

本书从软件工程层面分析了嵌入式SoC达芬奇技术的硬件、系统、框架和组件。

由浅入深地介绍了SoC芯片及汇编指令，硬件评估板设计，移植操作系统，达芬奇软件资源和搭建流媒体应用系统，嵌入式中间件和达芬奇框架，以及怎样装配Codec引擎、创建Codec Server和编译Codec算法；描述了如何利用达芬奇框架和H.264算法组件搭建一个高质量、低成本的基于SIP的流媒体传输系统，这是视频监控和视频会议中普遍应用的部件。

本书最后精心提供了11个实验，读者可以联系作者(Email: CE S Lab@163.com)索取源代码包。

读者通过这些实验可以深入了解达芬奇技术本质，同时拥有了流媒体处理各方面的代码资源，从修改这些代码出发可以获得各种复杂高效的流媒体应用系统。

本书介绍的嵌入式系统框架也为今后开发我国自主知识产权的多核嵌入式系统提供了一个研究方法

。本书可以作为高等学校电子信息专业本科毕业生就业培训的教材，同时可作为研究生进行嵌入式系统体系架构、流媒体算法等课题的研究平台。

## &lt;&lt;最新DSP技术&gt;&gt;

## 书籍目录

|                        |                       |                    |                                   |             |
|------------------------|-----------------------|--------------------|-----------------------------------|-------------|
| 第1章 达芬奇SoC硬件结构         | 1.1 ARM子系统            | 1.1.1 概述           | 1.1.2 存储器组织                       | 1.2 DSP子系统  |
| 1.2.1 概述               | 1.2.2 存储器组织           | 1.2.3 DSP数据通路与控制   | 1.2.4 DSP中断控制器                    | 1.2.5 DSP   |
| 断电控制器                  | 1.2.6 DSP带宽管理         | 1.2.7 DSP存储器保护机制   | 1.3 视频处理子系统 (VPSS)                |             |
| 1.3.1 视频前端             | 1.3.2 视频后端            | 1.4 系统控制模块         | 1.4.1 CPLD逻辑控制模块                  | 1.4.2 复位电路  |
| 1.5 电源管理               | 1.6 外部存储接口            | 1.6.1 DDR2存储器      | 1.6.2 NANDFlash                   | 1.7 外围控制模块  |
| 1.7.1 12C扩展GPIO模块      | 1.7.2 网络接口模块          | 1.7.3 USB接口电路      | 1.8 音视频模块                         |             |
| 1.8.1 音频编解码模块          | 1.8.2 视频编解码模块         | 1.9 DM6446总线共享     | 1.9.1 DMSoC交换中心资源                 | 1.9.2       |
| EDMA5控制器               | 1.9.3 EDMA3数据结构       | 1.9.4 EDMA3参数RAM   | 1.9.5 连接 (Linking) 和链接 (Chaining) |             |
| 第2章 DM6446DSP指令集与程序设计  |                       |                    |                                   |             |
| 2.1 TMS320DM6446DSP指令集 | 2.1.1 Load / Store类指令 |                    |                                   |             |
| 2.1.2 加减法指令            | 2.1.3 乘法指令            | 2.1.4 逻辑运算指令       | 2.1.5 移位指令                        |             |
| 2.1.6 位操作指令            | 2.1.7 比较及判别类指令        | 2.1.8 搬移指令         | 2.1.9 域乘法                         | 2.1.10 软件流水 |
| 相关指令                   | 2.1.11 程序转移类指令        | 2.2 用定点DSP指令实现浮点除法 |                                   |             |
| 2.2.1 DM6446浮点数表示      | 2.2.2 确定小数点的位置        |                    |                                   |             |
| 2.2.3 浮点数与定点数的转换       | 2.2.4 实现定点DSP除法       |                    | 2.2.5 牛顿迭代法                       |             |
| 2.2.6 移位相减实现浮点除法       | 2.2.7 移位相减的核心代码       |                    | 2.2.8 移位减法实现双精度除法                 |             |
| 2.2.9 两种方法的比较          | 2.3 DSP线性汇编           |                    |                                   |             |
| 2.3.1 线性汇编概述           | 2.3.2 优化SATD函数        |                    |                                   |             |
| 2.3.3 用线性汇编实现SATD      | 2.4 其他优化方法            |                    |                                   |             |
| 2.4.1 代码编写注意事项         | 2.4.2 内联函数            |                    |                                   |             |
| 2.4.3 优化编译选项           | 2.4.4 存储器的配置优化        |                    | 2.4.5 Cache的性能优化                  |             |
| 第3章 DVEVM使用指南          |                       |                    |                                   |             |
| 3.1 概述                 | .....                 |                    |                                   |             |
| 第4章 DVEVM软件设计          |                       |                    |                                   |             |
| 第5章 嵌入式操作系统引导与配置       |                       |                    |                                   |             |
| 第6章 DVSDK软件开发套件        |                       |                    |                                   |             |
| 第11章 基于DVEVM的SIP视频监控系统 |                       |                    |                                   |             |
| 第12章 Da Vinci实验例程附录    |                       |                    |                                   |             |
| 本书中用到的术语及缩写对照表         |                       |                    |                                   |             |
| 附图参考文献                 |                       |                    |                                   |             |

## 章节摘录

插图：第1章 达芬奇SoC硬件结构1.6 外部存储接口在DM6446中有与几种形式的外部存储器接口：异步EMIFA（NOR Flash，SRAM），NAND Flash以及CF卡等。

异步EMIFA包括1个8bit或16bit数据线，1个24bit地址总线，4个专用片选线，支持的存储接口有NAND、ATA / CF、主机端接口。

NAND接口包括的存储类型有NAND卡、MMC卡和SD卡。

DDR2存储控制器用于与16bit或32bit的DDR2 SDRAM连接。

DDR2 SDRAM在达芬奇技术中有很重要的作用，它可以用来缓冲视频输入图形数据，作为OSD的缓冲器，存储ARM和DSP代码等。

DM6446可支持256MB的32bit DDR2 SDRAM存储空间，128MB的16bit Flash ROM存储空间。

1.6.1 DDR2存储器DDR2存储器是整个DM6446系统的缓冲中心。

系统采用两片数据宽度为16bit的DDR2存储器组成宽度为32bit的数据总线。

芯片采用Micr0公司生产的MT47H32M16BT芯片，该芯片与很多厂商生产的不同容量的DDR2芯片都能实现管脚间的完全兼容。

DDR2存储器在时钟的上升沿和下降沿都会传输数据，每个时钟周期传输2个数据字。

同时DDR2采用4n prefetch（4n预取）技术，也就是当DDR2在收到DDR2读操作命令时，会在内部一次取出4个32bit数。

这4个32bit数分2个时钟发送出去。

写操作过程正好相反。

DDR2外部传输DQS和DQS#双向差分数据闸门信号。

读操作时这对信号由DDR2发出CPU接收，且CPU在信号的边沿读回数据；写操作时这对信号由CPU发出DDR2接收，且DDR2存储器在信号的中间时刻接收数据。

MT47H32M16BT数据宽度为16bit，所以对于高字节和底字节分别由UDQS、UDQS#和LDQS、LDQS#控制。

MT47H32M16的时钟信号CK和CK#也为一对差分信号，系统将CK信号上升沿与CK#信号的下降沿的交叉点作为系统时钟的正沿（上升沿），在系统时钟的正沿锁存命令（包括数据和信号）。

## <<最新DSP技术>>

### 编辑推荐

《最新DSP技术:“达芬奇”系统、框架和组件》特点:最全面地涉及嵌入式多处理器的达芬奇技术细节,首次从软件工程角度分析了达芬奇技术的硬件、系统、框架和组件,精心设计的11个实验确保您拥有众多Codec资源,成为流媒体技术的高手。

《最新DSP技术:“达芬奇”系统、框架和组件》帮助您:设计多核嵌入式处理器硬件系统,在异构平台运行不同操作系统,理解达芬奇的框架,轻松实现视频、图像、语音和音频(VISA)流媒体应用,充分发挥视频前后端、以太网、USB和ATA硬盘等丰富的片上外设的强大能力。

阅读《最新DSP技术:“达芬奇”系统、框架和组件》您将明白如何:用定点DSP汇编指令实现浮点算法,用XDM规范实现达芬奇算法组件,用中间件构建嵌入式系统框架。

实现不同处理器间远端过程调用机制,用XDCT具装配Codec引擎、创建Codec Server、编译Codec算法

。

#### 版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>