

<<Verilog数字VLSI设计教程>>

图书基本信息

书名：<<Verilog数字VLSI设计教程>>

13位ISBN编号：9787121109911

10位ISBN编号：7121109913

出版时间：2010-7

出版时间：电子工业

作者：威廉斯

页数：318

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<Verilog数字VLSI设计教程>>

内容概要

本书分成多个课程段，讲授数字IC设计中常用技能与技术、工程设计中通常遇到的具体设计调试方法。

其中包括数字IC设计流程中会遇到的诸多典型实例（计数器类型与结构、数据存储与Verilog阵列、状态机、FIFO等）以及典型问题（上升-下降延迟、串并转换、时序检查等），尤其是IC设计中PLL设计应用、时序仿真中的延迟反标注、DFT、设计验证等IC工程设计中的实用技术。

通过给出设计实例，讲解此类问题的解决方案。

本书重在提高工程实践能力，读者对象为有一定硬件设计经验和数字电路基础的工程师以及掌握Verilog基本语法和数字设计基础知识的本科生。

该书给出多个各自独立的单元，分别针对某个具体设计实例或设计中需要解决的问题展开详细讨论。

自学的读者可以根据工作或学习的实际需要重点学习某些单元。

作为培训教程，培训师可根据客户需求从众多练习中精选一部分开设专题讲座。

<<Verilog数字VLSI设计教程>>

作者简介

作者：(美国)威廉斯 译者：李林 郭志勇 陈亦欧

<<Verilog数字VLSI设计教程>>

书籍目录

第0章 概述 第1章 Verilog入门 第2章 Verilog基础知识1 第3章 Verilog基础知识2 第4章 锁相环和串行/解串器入门 第5章 存储与数组 第6章 计数器 第7章 强度和竞争 第8章 状态机和FIFO 第9章 事件 第10章 内建器件 第11章 顺序控制和并发 第12章 层次和generate 第13章 函数、任务和串并转换 第14章 UDP和开关级模型 第15章 参数和层次 第16章 配置和时序 第17章 时序检查和断言 第18章 解串器和升级PLL 第19章 升级解串器 第20章 完成串行/解串器 第21章 可测性设计和全双工串行/解串器 第22章 SDF 第23章 Verilog语言总结 第24章 深亚微米的问题及其验证

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>