

<<基于FPGA的硬件系统设计实验与实践教程>>

图书基本信息

书名：<<基于FPGA的硬件系统设计实验与实践教程>>

13位ISBN编号：9787302245377

10位ISBN编号：7302245371

出版时间：2010-6

出版时间：清华大学

作者：姚爱红//张国印//武俊鹏

页数：285

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

<<基于FPGA的硬件系统设计实验与>>

内容概要

《基于FPGA的硬件系统设计实验与实践教程》介绍基于fpga的数字系统设计方法，在基本的功能部件设计基础上，设计微处理器及单芯片系统。

《基于FPGA的硬件系统设计实验与实践教程》不仅介绍通用的数字电路和数字系统的设计方法，并对计算机硬件系统的组织进行深入分析。

通过运算电路设计、状态机设计、risc模型机设计等实验用例的训练，学生可以建立计算机的整机概念，了解数据在计算机中的表示、传送、处理以及控制信息是如何完成对计算机系统的控制。

《基于FPGA的硬件系统设计实验与实践教程》取材新颖，采用实例教学的组织形式，内容由浅入深，循序渐进。

书中给出了大量设计实例及扩展方案，不仅可以作为教学内容进行学习，部分内容还具有了程实践价值。

《基于FPGA的硬件系统设计实验与实践教程》可作为高等院校计算机类、电子类和自动化类等有关专业的教材和参考书，也可供有关专业工程技术人员参考。

书籍目录

第1章 可编程逻辑器件简介

1.1 可编程逻辑器件概述

1.1.1 可编程逻辑器件的发展历程

1.1.2 可编程逻辑器件的分类方法

1.2 可编程逻辑器件的设计流程

1.3 fpga发展概况

1.3.1 fpga的主要优势与发展前景

1.3.2 主流fpga产品及供应商简介

习题1

第2章 verilog hdl基础

2.1 前言

2.2 程序示例

2.3 模块

2.3.1 模块的结构

2.3.2 模块的实例化

2.4 变量和信号的类型

2.5 verilog hdl表达式

2.5.1 常量

2.5.2 操作符

2.6 verilog hdl的主要功能语句

2.6.1 verilog hdl对硬件的描述方式

2.6.2 数据流描述

2.6.3 行为描述——过程块

2.7 其他语法规则说明

2.7.1 标识符命名原则

2.7.2 标点的使用

2.7.3 注释

2.7.4 转义字符

2.7.5 编译命令

2.7.6 参数

2.8 示例程序分析

2.9 推荐阅读

习题2

第3章 实验环境介绍

3.1 eda软件工具介绍

3.1.1 集成的fpga开发环境

3.1.2 modelsim介绍

3.1.3 synplify简介

3.2 fpga典型实验开发平台简介

3.2.1 康芯gw48-sopc实验台

3.2.2 xilinx xup spartan板

3.3 实验仪器的使用方法

3.3.1 函数信号发生器

3.3.2 数字存储示波器

3.3.3 逻辑分析仪

<<基于FPGA的硬件系统设计实验与>>

3.4 熟悉实验环境

3.4.1 实验目的

3.4.2 实验内容

3.4.3 实验步骤

习题3

第4章 基本组合逻辑电路设计

4.1 组合逻辑电路基础知识

4.1.1 组合逻辑电路的分析方法

4.1.2 组合逻辑电路分析举例

4.1.3 组合逻辑电路的设计方法

4.2 数据比较器

4.2.1 数据比较器的功能

4.2.2 比较器电路的设计

4.3 数据选择器

4.3.1 四选一数据选择器

4.3.2 四选一数据选择器的设计

4.3.3 数据选择器的应用

4.4 二进制加法器

4.4.1 半加器

4.4.2 全加器

4.5 编码 / 译码器

4.5.1 bcd码编码器

4.5.2 bcd码译码器

实验4-1用原理图输入法设计四位加法器

实验4-2数码显示译码器

习题4

第5章 基本时序逻辑设计

5.1 时序逻辑电路的基础知识

5.2 触发器

5.2.1 rs触发器

5.2.2 d触发器

5.2.3 jk触发器与t触发器

5.3 时序逻辑电路的分析方法

5.3.1 同步时序电路的分析方法

5.3.2 异步时序电路的分析方法

5.4 常见的时序逻辑电路设计

5.4.1 移位寄存器

5.4.2 计数器

5.4.3 分频器

5.4.4 顺序脉冲发生器

5.4.5 阶乘运算器

实验5-1可预置的加减计数器实验

实验5-2扭环形计数器

习题5

第6章 有限状态机设计

6.1 状态的描述

6.1.1 整数编码状态

<<基于FPGA的硬件系统设计实验与>>

6.1.2 parameter语句声明状态

6.1.3 define编译引导语句

6.2 fsm的设计方法

6.2.1 moore型fsm的设计

6.2.2 mealy型fsm的设计

6.2.3 混合型fsm的设计

6.3 fsm的复位和毛刺问题

6.4 fsm设计示例

6.4.1 乘法器建模

6.4.2 序列检测器的设计

6.4.3 交通灯控制器的设计

实验6-1设计序列检测器

习题6

第7章 加法器设计

7.1 定点加法器

7.1.1 进位链结构

7.1.2 串行进位

7.1.3 并行进位

7.2 浮点加法器

7.2.1 规格化浮点数加减运算基本原理

7.2.2 浮点加法器的设计

7.3 运算器 (alu) 的设计

实验7-18位加法器的设计

实验7-216位超前进位加法器

习题7

第8章 乘、除法器的设计

8.1 常用的机器数编码格式

8.2 定点乘法器原理及实现

8.2.1 原码一位乘算法及实现

8.2.2 补码一位乘算法及实现

8.3 定点除法器原理及实现

8.3.1 原码不恢复余数除法

8.3.2 补码不恢复余数除法

8.4 快速乘法器

8.4.1 修正布斯算法

8.4.2 华莱士树结构

实验8-1原码两位乘法器

实验8-2补码两位乘法器

习题8

第9章 存储器建模

9.1 只读存储器rom的建模

9.1.1 rom的基本结构

9.1.2 rom的建模

9.1.3 rom的仿真测试

9.2 随机存储器ram的建模

9.2.1 ram的基本结构

9.2.2 ram的建模

<<基于FPGA的硬件系统设计实验与>>

9.2.3 ram的仿真测试

9.3 利用ipcore工具生成rom和ram

实验9-1利用sram设计并实现fifo

习题9

第10章 opu的设计

10.1 cpu的基本组成

10.1.1 控制部件

10.1.2 运算部件

10.1.3 寄存器组

10.2 cpu设计的一般过程

10.3 heu-r1处理器指令集的设计

10.3.1 指令格式

10.3.2 指令集的设计

10.4 heu-r1内部数据通路的设计

10。

5时序系统的设计

10.6 heu-r1各功能模块的设计

10.6.1 指令译码模块的设计

10.6.2 立即数生成模块

10.6.3 分支处理模块

10.6.4 地址生成模块

10.6.5 算术逻辑单元模块

10.6.6 寄存器组模块

10.6.7 cpu模块

10.7 仿真验证及结果

10.7.1 外围模块建模

10.7.2 系统复位

10.7.3 功能验证

实验10-1heu-r1处理器核的指令集扩展

习题10

第11章 数字电子时钟设计

11.1 数字钟功能需求说明

11.2 实验平台相关电路说明

11.2.1 7段数码管

11.2.2 外部按键

11.2.3 音频输出

11.3 数字钟系统的设计

11.4 数字钟各模块的设计

11.4.1 时钟分频模块

11.4.2 计时模块(包含按键控制)

11.4.3 音频输出模块

11.5 仿真验证

11.6 引脚设置

实验11-1整点报时闹钟设计

习题11

第12章 vga接口控制器

12.1 视频信号原理

<<基于FPGA的硬件系统设计实验与>>

12.2 数字视频图像的表达

12.3 vga接口介绍

12.4 vga信号时序

12.5 vga接口控制器设计

12.5.1 vgasig模块

12.5.2 colormap模块

12.5.3 顶层模块

12.5.4 功能仿真

12.5.5 引脚设置

实验12-1800~600分辨率vga接口的设计

实验12-2vga动态图形显示控制

习题12

第13章 fir数字滤波器设计

13.1 数字滤波器概述

13.2 fir滤波器的结构

13.3 fdatool工具使用介绍

13.3.1 matlab简介

13.3.2 fdatool设计fir滤波器的参数

13.4 窗函数法fir滤波器的设计

13.4.1 窗函数的选择

13.4.2 窗函数法fir滤波器的设计步骤

13.5 fir滤波器的fpga实现

13.5.1 滤波器系数的量化

13.5.2 16阶fir滤波器的实现

13.5.3 在modelsim中加入altera仿真库

13.6 fir滤波器的仿真验证

13.6.1 仿真数据文件的格式

13.6.2 测试平台程序的设计

13.6.3 仿真结果分析

实验13-1低通fir滤波器的设计

实验13-2fir滤波器的硬件实现及仿真

习题13

第14章 基于nios的sopc系统

14.1 soc技术概述

14.1.1 1p核与ip复用技术

14.1.2 片上总线

14.2 嵌入式微处理器核介绍

14.2.1 alteranios ii软核处理器

14.2.2 xilinx microblaze核

14.3 基于nios的sopc系统开发流程

14.4 基于nios的跑马灯控制器的设计

14.4.1 基本sopc系统硬件结构

14.4.2 jtag uart ip核

14.5 跑马灯控制器的硬件实现

14.5.1 新建sopc设计项目

14.5.2 各模块的设计

14.5.3 存储器地址和irq分配

14.5.4 nios ii系统生成

14.5.5 sopc系统生成

14.6 跑马灯控制器的软件设计

14.6.1 c源程序输入

14.6.2 代码优化

14.6.3 程序运行和下载

实验14-1基于nios ii处理器计时器的设计

习题14

附录verilog hdl关键字

参考文献

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:<http://www.tushu007.com>