

图书基本信息

书名：<<Verilog HDL与数字ASIC设计基础>>

13位ISBN编号：9787560944043

10位ISBN编号：7560944043

出版时间：2008-3

出版时间：华中科技大学出版社

作者：罗杰

页数：285

版权说明：本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：<http://www.tushu007.com>

内容概要

本书从实用的角度介绍了硬件描述语言Verilog HDL基础知识，并重点介绍了可以综合成为硬件电路的语法结构、语句与建模方法。

以Altera公司的产品为例，介绍了CPLD / FPGA器件的结构、配置方法、下载电路和Quartus 等EDA软件的使用方法。

本书的特点是内容先进、方法实用、易读易懂、实践性强，能够使读者快速入门，逐步掌握Verilog HDL和CPLD / FPGA的基础知识、设计流程和建模方法，熟悉用EDA方法设计数字系统的技巧。

本书不仅注重基础知识的介绍，而且力求向读者系统地讲解Verilog HDL在数字系统设计方面的实际应用。

本书可用作高等学校电气信息类专业高年级本、专科生的教材或教学参考书，也可以作为电子线路课程设计、电子设计大赛、电子系统设计工程技术人员学习EDA技术的参考书。

书籍目录

- 第1章 概述1.1 EDA技术的发展1.2 硬件描述语言1.2.1 HDL的发展1.2.2 HDL的内容与特点1.3 可编程逻辑器件与专用集成电路1.3.1 可编程逻辑器件1.3.2 专用集成电路1.3.3 基于IP核复用技术的SOC芯片1.3.4 FPGA / CPLD与ASIC设计流程1.4 数字系统设计方法1.4.1 数字系统的组成1.4.2 自下而上的设计方法1.4.3 自上而下的设计方法1.5 EDA设计工具的选择思考题和习题一第2章 Verilog HDL基础2.1 Verilog HDL的基本语法规则2.1.1 词法规定2.1.2 逻辑值集合2.1.3 常量及其表示2.1.4 变量的数据类型2.2 Verilog HDL运算符2.2.1 算术运算符2.2.2 相等与全等运算符2.2.3 逻辑运算符2.2.4 位运算符2.2.5 缩位运算符2.2.6 位拼接运算符2.2.7 运算符的优先级别2.3 Verilog HDL程序的基本结构2.3.1 Verilog HDL程序的基本结构2.3.2 简单Verilog HDL程序实例2.4 逻辑功能的仿真与测试2.4.1 使用Quartus 软件进行仿真2.4.2 使用ModelSim软件进行仿真思考题和习题二第3章 Verilog HDL常用建模方式3.1 Verilog HDL结构级建模3.1.1 多输入门3.1.2 多输出门3.1.3 三态门3.1.4 门级建模设计举例3.1.5 分层次的电路设计方法简介3.2 Verilog HDL数据流建模3.2.1 数据流建模的基本语句3.2.2 数据流建模举例3.3 Verilog HDL行为级建模3.3.1 行为级建模的基本语句3.3.2 触发器和移位寄存器的建模3.3.3 计数器的建模3.3.4 FIFO的建模3.4 Verilog HDL函数与任务的使用3.4.1 函数 (function) 说明语句3.4.2 任务 (task) 说明语句思考题和习题三第4章 有限状态机设计4.1 状态机的基本概念4.1.1 状态机的基本结构及类型4.1.2 状态机的状态图表示法4.1.3 状态机的设计步骤4.2 基于Verilog HDL的状态机描述方法4.2.1 状态图的建立过程4.2.2 推荐的状态图描述方法4.3 状态机设计中的关键技术4.3.1 状态编码4.3.2 消除输出端产生的毛刺4.3.3 使用One-hot编码方案设计状态机4.4 状态机设计举例4.4.1 汽车尾灯控制电路设计4.4.2 十字路口交通灯控制电路设计4.4.3 串行D / A转换器逻辑控制电路设计思考题和习题四第5章 Altera公司的CPLD / FPGA5.1 可编程逻辑器件综述5.1.1 PLD发展简史5.1.2 PLD的表示方法5.1.3 PLD的与一或阵列结构5.1.4 与一或阵列实现组合逻辑函数的原理5.1.5 PLD器件实现时序逻辑电路的基本原理5.1.6 通用型GAL器件的基本结构5.2 MAX7000S系列器件结构5.2.1 Altera公司的产品简介5.2.2 MAX7000S系列器件结构5.3 MAX3000A系列器件结构5.3.1 器件概述5.3.2 MAX3000A系列器件的结构特点5.4 FLEX10K系列器件结构5.4.1 FPGA实现逻辑函数的基本原理5.4.2 FLEX10K系列器件结构5.5 Cyclone系列器件结构5.5.1 功能描述5.5.2 Cyclone系列器件结构5.6 MAX 系列器件5.6.1 功能描述5.6.2 MAX 系列器件结构5.7 FPGA最小系统电路设计5.7.1 电源电路和LED指示灯电路5.7.2 复位电路5.7.3 外部时钟振荡电路5.7.4 FPGA的下载配置电路5.7.5 用户扩展接口5.7.6 FPGA芯片与各模块的接口电路思考题和习题五第6章 Altera FPGA器件的配置6.1 配置方式与配置过程6.1.1 配置方式6.1.2 配置过程6.2 配置接口电路6.2.1 主动串行 (AS) 配置6.2.2 被动串行 (PS) 配置6.2.3 快速被动并行 (FPP) 配置6.2.4 被动并行异步 (PPA) 配置6.2.5 JTAG配置6.2.6 配置电路设计注意事项6.3 FPGA的配置存储器与ByteBlaster 下载电缆6.3.1 FPGA的配置存储器6.3.2 ByteBlaster 下载电缆的使用6.3.3 ByteBlaster 下载电缆的电路原理图6.4 配置软件的设置与配置文件6.4.1 配置模式与配置存储器的选择6.4.2 复用配置引脚的处理6.4.3 通用配置选项6.4.4 配置文件思考题和习题六第7章 Quartus 6.0软件的使用7.1 设计流程概述7.2 设计与仿真的过程7.2.1 使用向导建立新工程7.2.2 输入设计文件7.2.3 编译前的设置7.2.4 编译设计文件7.2.5 设计项目的仿真验证7.2.6 应用RTL观察器查看电路图7.3 引脚分配与器件编程7.3.1 引脚分配7.3.2 器件编程7.4 Altera宏功能模块的使用7.4.1 嵌入式锁相环ALTPLL宏功能模块的调用7.4.2 嵌入式LPM _FIFO宏功能模块的调用思考题和习题七第8章 数字电路与系统的设计实例8.1 篮球竞赛30秒定时器设计与实现8.1.1 定时器的功能要求8.1.2 设计分析8.1.3 逻辑设计8.1.4 设计实现8.2 多位LED显示器的动态扫描译码电路设计8.2.1 功能要求8.2.2 设计分析8.2.3 逻辑设计8.2.4 设计实现8.3 CPLD与矩阵式键盘接口电路的设计8.3.1 接口电路的功能要求8.3.2 接口电路的分析8.3.3 接口电路的逻辑设计8.4 多功能数字钟电路的分层次设计8.4.1 数字钟的功能要求8.4.2 设计分析8.4.3 数字钟主体电路逻辑设计8.4.4 功能扩展电路逻辑设计8.4.5 多功能数字钟顶层电路设计8.5 频率计的设计8.5.1 频率计的功能要求8.5.2 设计分析8.5.3 频率计主体电路逻辑设计8.5.4 频率计顶层电路设计8.6 DDS函数信号发生器的设计8.6.1 DDS的功能要求8.6.2 设计分析8.6.3 各主要模块的逻辑

设计8.6.4 DDS函数信号发生器顶层设计第9章 异步串口通信及UART实现9.1 UART接口实现原理9.1.1 串行通信的概念9.1.2 基本的UART通信协议9.2 UART接口模块的层次化设计9.2.1 UART接口的功能模块划分9.2.2 配置文件UART_INC.H9.2.3 顶层模块的功能描述UART.V9.2.4 接收模块的功能描述U_REC.V9.2.5 发送模块的功能描述U_XMIT.V9.2.6 波特率变换模块的功能描述BAUD.V9.2.7 微处理器接口模块的功能描述9.3 对UART接口模块的功能仿真9.3.1 对接收模块的功能仿真9.3.2 对发送模块的功能仿真9.3.3 对波特率变换模块的功能仿真9.3.4 对微处理器接口模块的功能仿真9.3.5 对UART接口模块的功能仿真9.4 逻辑综合与时序仿真9.5 下载与验证测试9.5.1 验证系统概述9.5.2 验证结果第10章 数字电路与数字系统实验实验一 基本数字电路设计实验二 跑马灯电路设计实验三 有限状态机设计实验四 多功能数字钟设计实验五 FPGA与PC串口通信实验实验六 基于FPGA的DDS信号源设计实验七 数字频率相位测量仪的设计附录A Verilog HDL关键字附录B 常用EDA软件使用指南B.1 仿真软件ModelSim 6.0的使用B.1.1 设计与仿真流程B.1.2 对层次化设计的仿真B.1.3 布线后的时序仿真B.2 逻辑综合软件LeonardoSpectrtim的使用附录C Altera DE2开发板的使用说明C.1 Altera DE2开发板的结构与测试C.1.1 DE2开发板的结构C.1.2 DE2开发板的测试C.2 DE2开发板上FPGA的引脚与其他资源的连接C.3 FPGA芯片: EP2C35的配置方法参考文献

章节摘录

第1章 概述 1.2 硬件描述语言 1.2.2 HDL的内容与特点 硬件描述语言 (HDL) 是为描述数字系统的行为而且经过优化的一种编程语言。它是硬件电路设计人员与电子设计自动化 (EDA) 工具之间沟通的桥梁, 其主要目的是用来编写设计文件、建立电子系统行为级的仿真模型, 对用Verilog HDL或VHDL建模的复杂数字逻辑进行仿真, 然后利用逻辑综合工具自动生成符合要求且在电路结构上可以实现的数字逻辑网表 (Netlist)。

版权说明

本站所提供下载的PDF图书仅提供预览和简介, 请支持正版图书。

更多资源请访问:<http://www.tushu007.com>